

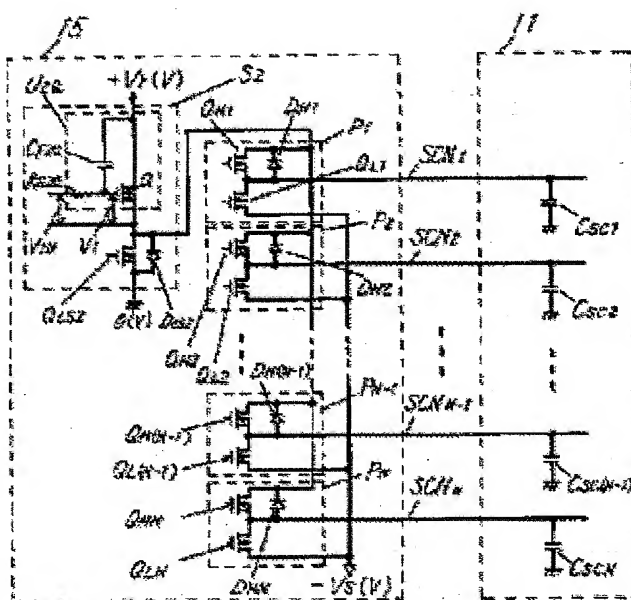
# DRIVE CIRCUIT FOR GAS DISCHARGE TYPE DISPLAY DEVICE

**Publication number:** JP11133914  
**Publication date:** 1999-05-21  
**Inventor:** ITO KOJI; ITSUDA KOICHI  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
**- international:** G09G3/28; G09G3/28; (IPC1-7): G09G3/28  
**- European:**  
**Application number:** JP19970296764 19971029  
**Priority number(s):** JP19970296764 19971029

Report a data error here

## Abstract of JP11133914

**PROBLEM TO BE SOLVED:** To reduce the change in the gradient of a gentle gradient waveform outputted from a drive circuit, to stabilize the discharge action of the gas discharge type display device, to shorten the application time of the gentle gradient waveform outputted from the drive circuit, and to enlarge the freedom degree of the timing design of a drive circuit, even if there are changes in loads such as change in the discharge current and dispersion of electrode floating capacity. **SOLUTION:** A scanning electrode drive circuit 15 is constituted of an initialization pulse generation circuit S2 having scanning/maintenance pulse generation circuits P1 -PN and a gentle gradient waveform generation circuit U2a. The gentle gradient waveform generation circuit U2a is constituted of a pull-up FETQ connecting the drain to a constant potential point +Vr(V), and a Miller integrator circuit composed of a resistance RG2a whose one end is connected to the gate of the pull-up FETQ and a capacitor CF2a connected between the gate and the drain of the pull-up FETQ.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-133914

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

J

審査請求 未請求 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願平9-296764

(22) 出願日 平成9年(1997)10月29日

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 伊藤 幸治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 五田 浩一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

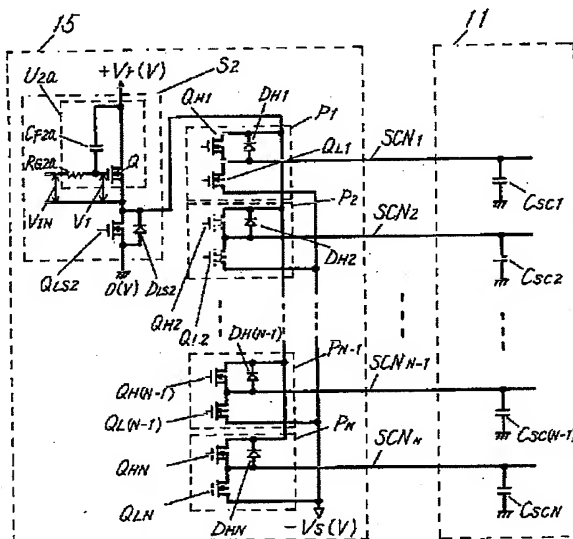
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 気体放電型表示装置の駆動回路

(57) 【要約】

【課題】 放電電流の変化や電極浮遊容量のばらつきなど負荷の変動があっても駆動回路から出力される緩勾配波形の勾配の変化を少なくし、気体放電型表示装置の放電動作を安定化するとともに、駆動回路から出力される緩勾配波形の印加時間を短くし、駆動回路のタイミングの設計自由度を大きくする。

【解決手段】 走査電極駆動回路15は、走査／維持パルス発生回路 $P_1 \sim P_N$ および緩勾配波形発生回路 $U_{2a}$ を有する初期化パルス発生回路 $S_2$ から構成されている。緩勾配波形発生回路 $U_{2a}$ は、ドレインを $+V_r$  (V) の定電位点に接続したプルアップFET $Q$ と、プルアップFET $Q$ のゲートに一端を接続された抵抗 $R_{G2a}$ と、プルアップFET $Q$ のゲートとドレインとの間に接続されたコンデンサ $C_{F2a}$ とからなるミラー積分回路から構成されている。



## 【特許請求の範囲】

【請求項1】 放電空間を挟んで対向配置した第1基板と第2基板とを有し、前記第1基板上に第1電極が配列され、前記第1電極と直交対向して第2電極が前記第2基板上に配列された気体放電型表示装置を駆動する駆動回路であって、前記第1電極または前記第2電極に接続されたミラー積分回路からなる緩勾配波形発生回路を備えた気体放電型表示装置の駆動回路。

【請求項2】 第1電極または第2電極に共通端子が接続されるとともに定電位点に出力端子が接続された反転増幅素子と、前記反転増幅素子の入力端子に接続された電流制限素子と、前記入力端子と前記出力端子との間に接続されたコンデンサとを有するミラー積分回路を備えた請求項1記載の気体放電型表示装置の駆動回路。

【請求項3】 第1電極または第2電極に出力端子が接続されるとともに定電位点に共通端子が接続された反転増幅素子と、前記反転増幅素子の入力端子に接続された電流制限素子と、前記入力端子と前記出力端子との間に接続されたコンデンサとを有するミラー積分回路を備えた請求項1記載の気体放電型表示装置の駆動回路。

【請求項4】 第1電極または第2電極に共通端子が接続されるとともに定電位点に出力端子が接続された反転増幅素子と、前記反転増幅素子の入力端子に接続された電流制限素子と、前記定電位点とは別の定電位点と前記入力端子との間に接続されたコンデンサとを有するミラー積分回路を備えた請求項1記載の気体放電型表示装置の駆動回路。

【請求項5】 コンデンサのかわりに、コンデンサと電流制限素子または定電圧素子とを直列接続した素子を設けた請求項2ないし4のいずれかに記載の気体放電型表示装置の駆動回路。

【請求項6】 コンデンサのかわりに、電流制限素子と整流素子とを並列接続した素子にコンデンサを直列接続した素子を設けるとともに、入力端子に接続された電流制限素子に並列接続された整流素子を設けた請求項2ないし4のいずれかに記載の気体放電型表示装置の駆動回路。

【請求項7】 反転増幅素子の共通端子に整流素子を接続した請求項2または4記載の気体放電型表示装置の駆動回路。

【請求項8】 出力端子とコンデンサとの接続点に整流素子を接続した請求項3記載の気体放電型表示装置の駆動回路。

【請求項9】 一端が入力端子に接続された電流制限素子の他端に、別の電流制限素子の一端と定電圧素子の一端とを接続するとともに、前記定電圧素子の他端を共通端子に接続した請求項2ないし4のいずれかに記載の気体放電型表示装置の駆動回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、テレビジョン受像機および広告表示板等の画像表示に用いる気体放電型表示装置の駆動回路に関するものである。

【0002】

【従来の技術】気体放電型表示装置の1つであるAC型プラズマディスプレイパネル（以後、PDPという）としては、2電極対向放電型や3電極面放電型などが考案されている。図12に示すように、従来の3電極面放電型PDP11の電極配列はマトリクスを構成しており、列方向にはM列のデータ電極 $DATA_1 \sim DATA_M$ が配列され、行方向にはN行の走査電極 $SCN_1 \sim SCN_N$ およびN行の維持電極 $SUS_1 \sim SUS_N$ が配列されている。これらマトリクスの各交点に $M \times N$ 個のセルが形成されている。PDP11のデータ電極 $DATA_1 \sim DATA_M$ にはデータ電極駆動回路12が接続され、走査電極 $SCN_1 \sim SCN_N$ には走査電極駆動回路13が接続され、維持電極 $SUS_1 \sim SUS_N$ には維持電極駆動回路14が接続されている。

【0003】このようなPDPの駆動タイミング図の一例を図13に示す。まず初期化期間ですべての走査電極 $SCN_1 \sim SCN_N$ に電圧が $+V_r$  (V)で立ち上がり、緩勾配波形である初期化パルス（印加して、ひとつ前のサブフィールドで書き込み放電を起こしたセルにおいて走査電極からデータ電極の方向に放電電流が流れる初期化放電を起こす。

【0004】次に、書き込み期間に、所定のデータ電極 $DATA_1 \sim DATA_M$ に電圧が $+V_w$  (V)である書き込みパルス、1番目の走査電極 $SCN_1$ に電圧が $-V_s$  (V)である走査パルスを印加して、所定のデータ電極 $DATA_1 \sim DATA_M$ と走査電極 $SCN_1$ との交点部のセルにおいて書き込み放電を起こす。引き続き走査電極 $SCN_2 \sim SCN_N$ においても同様な動作が行われ、表示画面全体にわたってデータの書き込みが行われる。

【0005】続く維持期間において、すべての維持電極 $SUS_1 \sim SUS_N$ とすべての走査電極 $SCN_1 \sim SCN_N$ とに交互に電圧が $-V_s$  (V)である維持パルスを印加して、書き込み放電が起こったセルで維持放電を開始し、その後維持パルスの印加を続けている間、維持放電を継続する。

【0006】続く消去期間において、すべての維持電極 $SUS_1 \sim SUS_N$ に電圧が $-V_s$  (V)で立ち下がりが緩勾配波形である消去パルスを印加して、維持放電の起こっていたセルで消去放電を起こし維持放電を停止させる。

【0007】以上の書き込み期間、維持期間、消去期間からなるサブフィールドを、維持パルス数を変えることで重み付けをして複数個組み合わせるサブフィールドを作り、これを1フィールド（16.7ms）として、画像表示を行う。

【0008】以上に説明した従来のPDPの駆動回路に

において、初期化パルスと消去パルスの発生に緩勾配波形発生回路が使われている。以下に従来の走査電極駆動回路と従来の維持電極駆動回路について説明し、その中で従来の緩勾配波形発生回路について説明する。

【0009】図14は、従来の走査電極駆動回路13の出力部分を示したものであり、走査／維持パルス発生回路 $P_1 \sim P_N$ および初期化パルス発生回路 $S_1$ から構成されている。走査／維持パルス発生回路 $P_1 \sim P_N$ は、ドレインを初期化パルス発生回路 $S_1$ の出力に接続したプルアップFET $Q_{H1} \sim Q_{HN}$ と、ソースが $-V_s$  (V)の定電位点に接続されたプルダウンFET $Q_{L1} \sim Q_{LN}$ と、プルアップFET $Q_{H1} \sim Q_{HN}$ に並列接続されたダイオード $D_{H1} \sim D_{HN}$  (通常、ダイオード $D_{H1} \sim D_{HN}$ はプルアップFET $Q_{H1} \sim Q_{HN}$ の寄生ダイオードを利用する)とからなるプッシュプル回路で、それらの出力はPDPの走査電極 $SCN_1 \sim SCN_N$ にそれぞれ接続されている。初期化パルス発生回路 $S_1$ は、ドレインが抵抗 $R_{1a}$ を介して $+V_r$  (V)の定電位点に接続されたプルアップFET $Q_{1a}$ と、ソースが接地されたプルダウンFET $Q_{LS1}$ と、プルダウンFET $Q_{LS1}$ に並列接続されたダイオード $D_{LS1}$  (通常、ダイオード $D_{LS1}$ はプルダウンFET $Q_{LS1}$ の寄生ダイオードを利用する)とからなるプッシュプル回路である。この初期化パルス発生回路 $S_1$ において、 $U_{1a}$ が従来の緩勾配波形発生回路であり、プルアップFET $Q_{1a}$ と抵抗 $R_{1a}$ とからなる。

【0010】従来の走査電極駆動回路の動作を説明する。まず図12の初期化期間の始まりにおいて、プルアップFET $Q_{H1} \sim Q_{HN}$ はオン、プルダウンFET $Q_{L1} \sim Q_{LN}$ はオフ、プルアップFET $Q_{1a}$ はオフ、プルダウンFET $Q_{LS1}$ はオンになっている。したがって、走査電極 $SCN_1 \sim SCN_N$ にはプルダウンFET $Q_{LS1}$ 、ダイオード $D_{LS1}$ 、プルアップFET $Q_{H1} \sim Q_{HN}$ 、ダイオード $D_{H1} \sim D_{HN}$ を介して0 (V)が印加されている。そしてプルダウンFET $Q_{LS1}$ がオフになりプルアップFET $Q_{1a}$ がオンに変化すると、 $+V_r$  (V)の定電位点→抵抗 $R_{1a}$ →プルアップFET $Q_{1a}$ →プルアップFET $Q_{H1} \sim Q_{HN}$ →走査電極 $SCN_1 \sim SCN_N$ の経路で電流が流れ、走査電極 $SCN_1 \sim SCN_N$ に初期化パルスが印加される。このとき初期化パルスの立ち上がりは、走査電極 $SCN_1 \sim SCN_N$ がそれぞれ持つ電極浮遊容量 $C_{SCi}$  ( $i=1 \sim N$ )の合計 $C_{SC} = C_{SC1} + \dots + C_{SCN}$ と抵抗 $R_{1a}$ とによるCR時定数回路で決まる緩勾配波形になる。画面サイズが20インチ程度の気体放電型表示装置の場合、抵抗 $R_{1a}$ の値は数百オームから数千オームという比較的高い値となる。この初期化パルスの緩勾配波形は、PDPの放電動作の安定性を決めるので、抵抗 $R_{1a}$ の値を調整して勾配を最適化する。そして次にプルアップFET $Q_{1a}$ がオフ、プルダウンFET $Q_{LS1}$ がオンに変化すると、走査電極 $SCN_1 \sim SCN_N$ →ダイオード $D_{H1} \sim D_{HN}$ →プルダウンFET $Q_{LS1}$ の経路で電流が流

れ、初期化パルスが終了する。

【0011】引き続き書き込み期間において、プルアップFET $Q_{1a}$ がオフ、プルダウンFET $Q_{LS1}$ がオンのままで、走査／維持パルス発生回路 $P_1 \sim P_N$ が順次プッシュプル動作して、走査電極 $SCN_1 \sim SCN_N$ に走査パルスが印加される。引き続き維持期間において、プルアップFET $Q_{1a}$ がオフ、プルダウンFET $Q_{LS1}$ がオンのままで、走査／維持パルス発生回路 $P_1 \sim P_N$ すべてが同時にプッシュプル動作して、走査電極 $SCN_1 \sim SCN_N$ に維持パルスが印加される。引き続き消去期間において、プルアップFET $Q_{1a}$ がオフ、プルダウンFET $Q_{LS1}$ がオンでプルアップFET $Q_{H1} \sim Q_{HN}$ がオン、プルダウンFET $Q_{L1} \sim Q_{LN}$ がオフになって、走査電極 $SCN_1 \sim SCN_N$ にはプルダウンFET $Q_{LS1}$ 、ダイオード $D_{LS1}$ 、プルアップFET $Q_{H1} \sim Q_{HN}$ 、ダイオード $D_{H1} \sim D_{HN}$ を介して0 (V)が印加される。

【0012】また図15は、従来の維持電極駆動回路14の出力部分を示したものであり、維持パルス発生回路 $W_1$ および消去パルス発生回路として動作する緩勾配波形発生回路 $U_{1b}$ から構成されている。維持パルス発生回路 $W_1$ はドレインが接地されたプルアップFET $Q_{HW1}$ と、プルアップFET $Q_{HW1}$ に並列接続されたダイオード $D_{HW1}$  (通常、ダイオード $D_{HW1}$ はプルアップFET $Q_{HW1}$ の寄生ダイオードを利用する)と、ソースが $-V_s$  (V)の定電位点に接続されたプルダウンFET $Q_{LW1}$ とからなるプッシュプル回路で、その出力はPDPの維持電極 $SUS_1 \sim SUS_N$ に接続されている。緩勾配波形発生回路 $U_{1b}$ は、ソースが $-V_s$  (V)の定電位点に接続されたプルダウンFET $Q_{1b}$ と、プルダウンFET $Q_{1b}$ のドレインに接続された抵抗 $R_{1b}$ とからなり、プルダウンFET $Q_{1b}$ は抵抗 $R_{1b}$ を介して維持電極 $SUS_1 \sim SUS_N$ に接続されている。

【0013】次に、従来の維持電極駆動回路の動作を説明する。まず図12の初期化期間および書き込み期間において、プルアップFET $Q_{HW1}$ はオン、プルダウンFET $Q_{LW1}$ はオフ、プルダウンFET $Q_{1b}$ はオフになっている。したがって、維持電極 $SUS_1 \sim SUS_N$ にはプルアップFET $Q_{HW1}$ 、ダイオード $D_{HW1}$ を介して0 (V)が印加されている。そして維持期間において維持パルス発生回路 $W_1$ がプッシュプル動作して、維持電極 $SUS_1 \sim SUS_N$ に維持パルスが印加される。引き続き消去期間の始まりにおいて、プルアップFET $Q_{HW1}$ がオン、プルダウンFET $Q_{LW1}$ がオフ、プルダウンFET $Q_{1b}$ がオフの状態から、プルアップFET $Q_{HW1}$ がオフ、プルダウンFET $Q_{1b}$ がオンに変化すると、維持電極 $SUS_1 \sim SUS_N$ →抵抗 $R_{1b}$ →プルダウンFET $Q_{1b}$ → $-V_s$  (V)の定電位点の経路で電流が流れ、維持電極 $SUS_1 \sim SUS_N$ に消去パルスが印加される。このとき消去パルスの立ち下がり、維持電極 $SUS_1 \sim SUS_N$ がそれぞれ持つ電極浮遊容量 $C_{SUi}$  ( $i=1 \sim N$ )の合計

$C_{SU} = C_{SU1} + \dots + C_{SUN}$ と抵抗 $R_{1b}$ とによるCR時定数回路で決まる緩勾配波形になる。画面サイズが20インチ程度の気体放電型表示装置の場合、抵抗 $R_{1b}$ の値は数百オームから数キロオームという比較的高い値となる。この消去パルスの緩勾配波形は、PDPの放電動作の安定性を決めるので、抵抗 $R_{1b}$ の値を調整して勾配を最適化する。そして次にプルダウンFET $Q_{1b}$ がオフ、プルアップFET $Q_{HW1}$ がオンに変化すると、0(V)の定電位点→プルアップFET $Q_{HW1}$ →維持電極 $SUS_1 \sim SUS_N$ の経路で電流が流れ、消去パルスが終了する。

#### 【0014】

【発明が解決しようとする課題】しかし、初期化パルスや消去パルスなどの緩勾配波形印加時においては、書き込み放電や維持放電を行った点灯セル数の変化に応じて放電するセル数が変化し、緩勾配波形印加時の電流は変動するが、前記のように、出力インピーダンスが比較的高いCR時定数回路で緩勾配波形発生回路が構成されていると、この電流変動により緩勾配波形の勾配が変化していた。したがって、ある点灯セル数において放電動作範囲が最大になるよう緩勾配波形の勾配を設定しても、点灯セル数が変化すると緩勾配波形の勾配が変化して書き込み不良や消去不良のセルが発生しやすくなり、PDPの放電動作範囲を狭いものにしていた。

【0015】また、このような従来のPDPの駆動回路では、緩勾配波形発生回路がPDPの電極浮遊容量を利用したCR時定数回路で構成されているため、PDPごとに電極浮遊容量にばらつきがあると、緩勾配波形の勾配もばらつくことになり、PDPの放電動作範囲を狭いものにしていた。

【0016】本発明の第1の目的は、放電電流の変化や電極浮遊容量のばらつきなど緩勾配波形発生回路の負荷に変動があっても緩勾配波形の勾配の変化を少なくして、放電動作範囲が広いPDPの駆動回路を提供することである。

【0017】また、このような従来のPDPの駆動回路では、緩勾配波形発生回路がCR時定数回路で構成されており、緩勾配波形は飽和電圧に近づくほど緩やかになるカーブを描いていた。このため、緩勾配波形の印加開始直後の最も勾配が急となるところにも必要とする勾配をもたせ、かつ波形の先端をほぼ飽和電圧まで到達させようとする、長い印加時間が必要であった。このように印加時間が長いことが、より高画質を得るため1フィールドあたりのサブフィールド数を増す場合などにおいて妨げになっていた。

【0018】本発明の第2の目的は、緩勾配波形の先端を短時間に完全に飽和電圧まで到達させ、印加時間を抑えることで、タイミングの設計自由度が大きい駆動回路を提供することである。

#### 【0019】

【課題を解決するための手段】この課題を解決するために本発明の気体放電型表示装置の駆動回路は、放電空間を挟んで対向配置した第1基板と第2基板とを有し、前記第1基板上に第1電極が配列され、前記第1電極と直交対向して第2電極が前記第2基板上に配列された気体放電型表示装置を駆動する駆動回路であって、前記第1電極または前記第2電極に接続されたミラー積分回路からなる緩勾配波形発生回路を備えたものである。

【0020】その具体的構成である第1の駆動回路は、第1電極または第2電極に共通端子が接続されるとともに定電位点に出力端子が接続された反転増幅素子と、前記反転増幅素子の入力端子に接続された電流制限素子と、前記入力端子と前記出力端子との間に接続されたコンデンサとを有するミラー積分回路を備えたものである。

【0021】また、別の具体的構成である第2の駆動回路は、第1電極または第2電極に出力端子が接続されるとともに定電位点に共通端子が接続された反転増幅素子と、前記反転増幅素子の入力端子に接続された電流制限素子と、前記入力端子と前記出力端子との間に接続されたコンデンサとを有するミラー積分回路を備えたものである。

【0022】さらに別の具体的構成である第3の駆動回路は、第1電極または第2電極に共通端子が接続されるとともに定電位点に出力端子が接続された反転増幅素子と、前記反転増幅素子の入力端子に接続された電流制限素子と、前記定電位点とは別の定電位点と前記入力端子との間に接続されたコンデンサとを有するミラー積分回路を備えたものである。

【0023】この構成により、緩勾配波形発生回路の出力インピーダンスが低くなるとともに緩勾配波形発生回路の部品定数で緩勾配波形の勾配が決定されるため、放電電流の変化や電極浮遊容量のばらつきなど負荷の変動を受け難くなって、緩勾配波形の勾配の変化が少なくなる。さらに、緩勾配波形の先端が短時間で完全に飽和電圧まで到達するので、印加時間を抑えることができる。

#### 【0024】

【発明の実施の形態】以下、本発明の気体放電型表示装置の駆動回路の実施形態について、図面を参照しながら説明する。

【0025】図9は本発明で用いる3電極面放電型PDPの部分破断斜視図である。図9に示すように、第1のガラス基板1上に走査電極2群と維持電極3群とが設けられ、これらの電極群は第1の誘電体層4で覆われ、第1の誘電体層は保護膜5で覆われている。そして、隔壁6を挟んで第1のガラス基板1と対向して第2のガラス基板7が設けられ、第1のガラス基板1と第2のガラス基板7との間に放電用ガスが満たされた放電空間が形成される。第2のガラス基板7上にデータ電極8群が、走査電極2群と維持電極3群とに直交対向して設けられて

いる。データ電極8群は第2の誘電体層9で覆われており、第2の誘電体層9の表面には蛍光体10が付設されている。

【0026】図10に示すように、3電極面放電型PDP11の電極配列はマトリクスを構成しており、列方向にはM列のデータ電極 $DATA_1 \sim DATA_M$ が配列され、行方向にはN行の走査電極 $SCN_1 \sim SCN_N$ およびN行の維持電極 $SUS_1 \sim SUS_N$ が配列されている。これらマトリクスの各交点に $M \times N$ 個のセルが形成されている。PDP11のデータ電極 $DATA_1 \sim DATA_M$ にはデータ電極駆動回路12が接続されている。また、走査電極 $SCN_1 \sim SCN_N$ には走査電極駆動回路15が接続され、維持電極 $SUS_1 \sim SUS_N$ には維持電極駆動回路16が接続されている。

【0027】図11は本発明の気体放電型表示装置の駆動回路における駆動タイミング図の一例である。まず初期化期間ですべての走査電極 $SCN_1 \sim SCN_N$ に電圧が $+V_r$  (V)で立ち上がり直線的な緩勾配波形である初期化パルス印加して、ひとつ前のサブフィールドで書き込み放電を起こしたセルにおいて走査電極からデータ電極の方向に放電電流が流れる初期化放電を起こす。

【0028】次に、書き込み期間において、所定のデータ電極 $DATA_1 \sim DATA_M$ に電圧が $+V_w$  (V)である書き込みパルス、第1番目の走査電極 $SCN_1$ に電圧が $-V_s$  (V)である走査パルス印加して、選択された所定のデータ電極 $DATA_1 \sim DATA_M$ と第1番目の走査電極 $SCN_1$ との交点部のセルにおいて書き込み放電を起こす。引き続き走査電極 $SCN_2 \sim SCN_N$ においても同様な動作が行われ、表示画面全体にわたって書き込みが行われる。

【0029】続く維持期間において、すべての維持電極 $SUS_1 \sim SUS_N$ とすべての走査電極 $SCN_1 \sim SCN_N$ とに交互に電圧が $-V_s$  (V)である維持パルス印加して、書き込み放電が起こった箇所のセルで維持放電を開始し、その後維持パルスの印加を続けている間、維持放電を維持する。

【0030】続く消去期間において、すべての維持電極 $SUS_1 \sim SUS_N$ に、電圧が $-V_s$  (V)で立ち下がり直線的な緩勾配波形である消去パルス印加して、維持放電の起こっていたセルで消去放電を起こし維持放電を停止させる。

【0031】以上の書き込み期間、維持期間、消去期間から成るサブフィールドを、維持パルス数を変えることで重み付けをして複数個組み合わせてサブフィールドを作り、これを1フィールド(16.7ms)として、画像表示を行う。

【0032】以上の駆動タイミングが図12に示した従来例と異なるところは、初期化パルスおよび消去パルスの緩勾配波形が直線的に変化して短時間で飽和していることと、それによって初期化パルスおよび消去パルスの

時間幅が小さくなっていることである。実験によれば、初期化パルスおよび消去パルスの時間幅は、従来ではそれぞれ $200\mu s$ 必要であったものが、本実施の形態ではそれぞれ $100\mu s$ とすることができ、1フィールドを8サブフィールドで構成した場合は1.6msの余裕時間が得られ、その分をサブフィールド数を増やしたり書き込みパルス幅を広くする等、画質を改善する時間に費やすことができる。

【0033】以下、具体的な回路構成について図を用いて説明する。

(実施の形態1) 図1は、本発明によるPDPの駆動回路の実施の形態1における走査電極駆動回路15の出力部分を示すブロック図であり、走査/維持パルス発生回路 $P_1 \sim P_N$ および初期化パルス発生回路 $S_2$ から構成されている。気体放電型表示装置11のデータ電極 $DATA_1 \sim DATA_M$ および維持電極 $SUS_1 \sim SUS_N$ 等は省略している。走査/維持パルス発生回路 $P_1 \sim P_N$ はそれぞれ、初期化パルス発生回路 $S_2$ の出力にドレインを接続したプルアップFET $Q_{H1} \sim Q_{HN}$ と、プルアップFET $Q_{H1} \sim Q_{HN}$ のソースにドレインを接続するとともにソースを $-V_s$  (V)の定電位点に接続したプルダウンFET $Q_{L1} \sim Q_{LN}$ と、プルアップFET $Q_{H1} \sim Q_{HN}$ のソースとドレインとの間に接続されたダイオード $D_{H1} \sim D_{HN}$  (通常、ダイオード $D_{H1} \sim D_{HN}$ はプルアップFET $Q_{H1} \sim Q_{HN}$ の寄生ダイオードを利用する)とからなるプッシュプル回路であり、走査/維持パルス発生回路 $P_1 \sim P_N$ の出力はPDP11の走査電極 $SCN_1 \sim SCN_N$ にそれぞれ接続されている。

【0034】初期化パルス発生回路 $S_2$ は、ドレイン(出力端子)を $+V_r$  (V)の定電位点に接続したプルアップFET(反転増幅素子)Qと、プルアップFETQのゲート(入力端子)に一端を接続された抵抗(電流制限素子) $R_{G2a}$ と、プルアップFETQのゲートとドレインとの間に接続されたコンデンサ $C_{F2a}$ と、ソースを接地するとともにプルアップFETQのソース(共通端子)にドレインを接続したプルダウンFET $Q_{LS2}$ と、プルダウンFET $Q_{LS2}$ のソースとドレインとの間に接続されたダイオード $D_{LS2}$  (通常、ダイオード $D_{LS2}$ はプルダウンFET $Q_{LS2}$ の寄生ダイオードを利用する)とからなるプッシュプル回路である。この初期化パルス発生回路 $S_2$ において、本発明に係る緩勾配波形発生回路 $U_{2a}$ はミラー積分回路から構成されており、この点が図14に示した従来の走査電極駆動回路13と異なる点である。

【0035】なお上記の構成では、プルアップFETQにN型のFETを使用しているが、電圧の印加方向を反転すればP型のFETも同様に使用できる。さらに、プルアップFETQはバイポーラトランジスタなどFET以外の素子であってもよい。

【0036】また上記の構成では、電流制限素子に抵抗



$R_{G2a}$ を使用しているが、定電流素子など抵抗以外の電流制限素子であってもよい。

【0037】次に、図1に示した走査電極駆動回路の動作を説明する。まず図11の初期化期間の始まりにおいて、プルアップFET $Q_{H1} \sim Q_{HN}$ はオン、プルダウンFET $Q_{L1} \sim Q_{LN}$ はオフ、プルアップFET $Q$ はオフ、プルダウンFET $Q_{LS2}$ はオンになっている。したがって、走査電極 $SCN_1 \sim SCN_N$ にはそれぞれ、プルダウンFET $Q_{LS2}$ 、ダイオード $D_{LS2}$ 、プルアップFET $Q_{H1} \sim Q_{HN}$ 、ダイオード $D_{H1} \sim D_{HN}$ を介して0(V)が印加されている。そしてプルダウンFET $Q_{LS2}$ がオフになりプルアップFET $Q$ がオンに変化すると、 $+V_r$ (V)の定電位点→プルアップFET $Q$ →プルアップFET $Q_{H1} \sim Q_{HN}$ →走査電極 $SCN_1 \sim SCN_N$ の経路で電流が流れ、走査電極 $SCN_1 \sim SCN_N$ に初期化パルスが印加される。このとき初期化パルスの立ち上がり時間も、入力電圧を $V_{IN}$ 、プルアップFET $Q$ のゲートしきい値電圧を $V_T$ とすると、 $t = (C_{F2a} \times V_r) / \{ (V_{IN} - V_T) / R_{G2a} \}$ で決まる直線的な緩勾配波形になる。また、緩勾配波形発生回路 $U_{2a}$ の出力インピーダンスは、プルアップFET $Q$ の出力インピーダンスで決まる低い値(数オーム)になる。したがって、初期化パルスの波形が立ち上がる途中で起きる放電に起因する放電電流の変化や電極浮遊容量 $C_{SC1} \sim C_{SCN}$ のばらつきがあっても緩勾配波形の勾配はほとんど変化しないので、放電動作を安定化することができる。なお、この初期化パルスの緩勾配波形は、PDP11の放電動作の安定性を決めるので、抵抗 $R_{G2a}$ の値を調整して勾配を最適化する。

【0038】そして次にプルアップFET $Q$ がオフ、プルダウンFET $Q_{LS2}$ がオンに変化すると、走査電極 $SCN_1 \sim SCN_N$ →ダイオード $D_{H1} \sim D_{HN}$ →プルダウンFET $Q_{LS2}$ の経路で電流が流れ、初期化パルスが終了する。

【0039】引き続き書き込み期間において、プルアップFET $Q$ がオフ、プルダウンFET $Q_{LS2}$ がオンのままで、走査/維持パルス発生回路 $P_1 \sim P_N$ が順次プッシュプル動作して、走査電極 $SCN_1 \sim SCN_N$ に走査パルスが印加される。引き続き維持期間において、プルアップFET $Q$ がオフ、プルダウンFET $Q_{LS2}$ がオンのままで、走査/維持パルス発生回路 $P_1 \sim P_N$ が同時にプッシュプル動作して、走査電極 $SCN_1 \sim SCN_N$ に維持パルスが印加される。引き続き消去期間において、プルアップFET $Q$ がオフ、プルダウンFET $Q_{LS2}$ がオンで、プルアップFET $Q_{H1} \sim Q_{HN}$ がオン、プルダウンFET $Q_{L1} \sim Q_{LN}$ がオフになって、走査電極 $SCN_1 \sim SCN_N$ にはプルダウンFET $Q_{LS2}$ 、ダイオード $D_{LS2}$ 、プルアップFET $Q_{H1} \sim Q_{HN}$ 、ダイオード $D_{H1} \sim D_{HN}$ を介して0(V)が印加される。

【0040】次に図2は、本発明によるPDPの駆動回

路の実施の形態1における維持電極駆動回路の出力部分を示すブロック図であり、維持パルス発生回路 $W_1$ および消去パルス発生回路として動作する緩勾配波形発生回路 $U_{2b}$ から構成されている。気体放電型表示装置11のデータ電極 $DATA_1 \sim DATA_N$ および走査電極 $SCN_1 \sim SCN_N$ 等は省略している。維持パルス発生回路 $W_1$ は、ドレインが接地されたプルアップFET $Q_{HW1}$ と、プルアップFET $Q_{HW1}$ に並列接続されたダイオード $D_{HW1}$ (通常、ダイオード $D_{HW1}$ はプルアップFET $Q_{HW1}$ の寄生ダイオードを利用する)と、 $-V_s$ (V)の定電位点にソースを接続するとともにプルアップFET $Q_{HW1}$ のソースにドレインを接続したプルダウンFET $Q_{LW1}$ とからなるプッシュプル回路であり、その出力はPDP11の維持電極 $SUS_1 \sim SUS_N$ に接続されている。

【0041】消去パルス発生回路として動作する緩勾配波形発生回路 $U_{2b}$ は、 $-V_s$ (V)の定電位点にソース(共通端子)を接続するとともに維持電極 $SUS_1 \sim SUS_N$ にドレイン(出力端子)を接続したプルダウンFET(反転増幅素子) $Q_d$ と、プルダウンFET $Q_d$ のゲート(入力端子)に一端を接続された抵抗 $R_{G2b}$ と、プルダウンFET $Q_d$ のゲートとドレインとの間に接続されたコンデンサ $C_{F2b}$ とから構成されている。このように緩勾配波形発生回路 $U_{2b}$ はミラー積分回路から構成されており、図15に示した従来の維持電極駆動回路14と異なる点である。

【0042】なお上記の構成では、プルダウンFET $Q_d$ にN型のFETを使用しているが、電圧の印加方向を反転すればP型のFETも同様に使用できる。さらに、プルダウンFET $Q_d$ はバイポーラトランジスタなどFET以外の素子であってもよい。

【0043】また上記の構成では、電流制限素子として抵抗 $R_{G2b}$ を使用しているが、定電流素子など抵抗以外の電流制限素子であってもよい。

【0044】次に、本発明の維持電極駆動回路の動作を説明する。まず図11の維持期間が終了する時点では、プルアップFET $Q_{HW1}$ はオン、プルダウンFET $Q_{LW1}$ はオフ、プルダウンFET $Q_d$ はオフになっている。したがって維持電極 $SUS_1 \sim SUS_N$ はプルアップFET $Q_{HW1}$ 、ダイオード $D_{HW1}$ を介して0(V)が印加されている。そして維持期間において維持パルス発生回路 $W_1$ がプッシュプル動作して、維持電極 $SUS_1 \sim SUS_N$ に維持パルスが印加される。引き続き図11の消去期間の始まりにおいて、プルアップFET $Q_{HW1}$ がオン、プルダウンFET $Q_{LW1}$ がオフ、プルダウンFET $Q_d$ がオフの状態から、プルアップFET $Q_{HW1}$ がオフ、プルダウンFET $Q_d$ がオンに変化すると、維持電極 $SUS_1 \sim SUS_N$ →プルダウンFET $Q_d$ → $-V_s$ (V)の定電位点の経路で電流が流れ、維持電極 $SUS_1 \sim SUS_N$ に消去パルスが印加される。このとき消去パルスの立ち下がり

時間 $t$ は、入力電圧を $V_{IN}$ 、プルダウンFET $Q_d$ のゲートしきい値電圧を $V_T$ とすると、 $t = (C_{F2b} \times V_S) / \{ (V_{IN} - V_T) / R_{G2b} \}$ で決まる直線的な緩勾配波形になる。また、緩勾配波形発生回路 $U_{2b}$ の出力インピーダンスは、プルダウンFET $Q_d$ の出力インピーダンスで決まる低い値になる。したがって消去パルスの波形が立ち下がる途中で起きる放電に起因する放電電流の変化や電極浮遊容量 $C_{SU1} \sim C_{SUN}$ のばらつきがあっても緩勾配波形の勾配はほとんど変化しないので、放電動作を安定化することができる。なお、抵抗 $R_{G2b}$ の値を調整して消去パルスの立ち下がり勾配を最適化することによって、PDP11の放電動作を安定化することができる。そして次にプルダウンFET $Q_d$ がオフ、プルアップFET $Q_{HW1}$ がオンに変化すると、0(V)の定電位点 $\rightarrow$ プルアップFET $Q_{HW1} \rightarrow$ 維持電極 $SUS_1 \sim SUS_N$ の経路で電流が流れ、消去パルスが終了する。

【0045】本実施の形態の気体放電型表示装置の駆動回路は、以上説明した緩勾配波形発生回路を備えたことにより、緩勾配波形発生回路の出力インピーダンスが低くなるとともに、緩勾配波形発生回路の部品定数で緩勾配波形の勾配が決定される。それによって、放電電流の変化や電極浮遊容量のばらつきなどの負荷の変動があっても、緩勾配波形の勾配の変化が少なくなり、PDPの放電動作範囲を広くすることができる。また、緩勾配波形の勾配が単位時間当たりほぼ一定の電圧変化量になり直線的になって、かつ波形の先端が短時間で完全に飽和電圧まで到達するので、印加時間を抑えることができ、その分をサブフィールド数を増やしたり書き込みパルス幅を広くする等、画質を改善する時間に費やすことができる。したがって、駆動回路のタイミングの設計自由度を大きくすることができる。

【0046】(実施の形態2)次に図3は、本発明によるPDPの駆動回路の実施の形態2における走査電極駆動回路の緩勾配波形発生回路部分のみを示した回路図であり、その他の構成は、実施の形態1と同じである。図3の緩勾配波形発生回路 $U_3$ は、PDP11の電極に共通端子(ソース)が接続されるとともに、定電位点 $V_{B1}$ (V)に出力端子(ドレイン)が接続されたプルアップFET(反転増幅素子) $Q_3$ と、プルアップFET $Q_3$ の入力端子(ゲート)に一端が接続された抵抗(電流制限素子) $R_{G3}$ と、プルアップFET $Q_3$ の入力端子(ゲート)に一端が接続されるとともに定電位点 $V_{B1}$ (V)とは異なる定電位点 $V_{B2}$ (V)に他端が接続されたコンデンサ $C_{F3}$ とからなるミラー積分回路である。ここで、プルアップFET $Q_3$ はN型であり、 $V_{B1}$ (V)に $+V_r$ (V)、 $V_{B2}$ (V)に0(V)を印加している。この構成により、図11の初期化パルスを発生することができる。

【0047】また、緩勾配波形発生回路 $U_3$ におけるプルアップFET $Q_3$ をP型のFETにするとともに、 $V_{B1}$ (V)に $-V_s$ (V)、 $V_{B2}$ (V)に0(V)を印加することにより、維持電極駆動回路に用いる緩勾配波形発生回路を構成することができ、図11の消去パルスを発生することができる。

【0048】以上の構成により、実施の形態1と同様の効果を得ることができる。なお、実施の形態1では、N型およびP型のどちらのFETを使用しても立ち上がり波形および立ち下がり波形を発生する緩勾配波形発生回路を構成できたのに対し、本実施の形態では前述のようにN型のFETで立ち上がり波形、P型のFETで立ち下がり波形を発生する緩勾配波形発生回路を構成することができる。

【0049】また、プルアップFET $Q_3$ (維持電極駆動回路に用いた場合はプルダウンFETとなる)はバイポーラトランジスタなどFET以外の素子であってもよい。

【0050】また上記の構成では、電流制限素子に抵抗 $R_{G3}$ を使用しているが、定電流素子など抵抗以外の電流制限素子であってもよい。

【0051】(実施の形態3)次に図4(a)~(d)は、本発明によるPDPの駆動回路の実施の形態3における走査電極駆動回路の緩勾配波形発生回路部分のみを示す回路図であり、その他の構成は実施の形態1または2と同じである。

【0052】図4(a)の緩勾配波形発生回路 $U_4$ が図1の緩勾配波形発生回路 $U_{2a}$ と回路構成上異なる点は、プルアップFET $Q_4$ のゲートとドレインとの間に、コンデンサ $C_{F4}$ と抵抗 $R_{F4}$ とを直列接続したものを設けたことである。図4(b)の緩勾配波形発生回路 $U_5$ が図3の緩勾配波形発生回路 $U_3$ と回路構成上異なる点は、プルアップFET $Q_5$ のゲートと定電位点 $V_{B2}$ (V)との間に、コンデンサ $C_{F5}$ と抵抗 $R_{F5}$ とを直列接続したものを設けたことである。図4(c)の緩勾配波形発生回路 $U_6$ が図1の緩勾配波形発生回路 $U_{2a}$ と回路構成上異なる点は、プルアップFET $Q_6$ のゲートとドレインとの間に、コンデンサ $C_{F6}$ と定電圧ダイオード $ZD_{F6}$ とを直列接続したものを設けたことである。図4(d)の緩勾配波形発生回路 $U_7$ が図3の緩勾配波形発生回路 $U_3$ と回路構成上異なる点は、プルアップFET $Q_7$ のゲートと定電位点 $V_{B2}$ (V)との間に、コンデンサ $C_{F7}$ と定電圧ダイオード $ZD_{F7}$ とを直列接続したものに置き換えた点である。緩勾配波形発生回路 $U_4$ 、 $U_5$ 、 $U_6$ および $U_7$ により発生する立ち上がりの緩勾配波形を図5(a)に実線で示す。

【0053】また、緩勾配波形発生回路 $U_4$ または $U_6$ は維持電極駆動回路の緩勾配波形発生回路として用いることができる。この場合発生する立ち下がり勾配の緩勾配波形を図5(b)に実線で示す。このように本実施の形態では、緩勾配波形にオフセット電圧 $V_F$ (V)を設けることができる。オフセット電圧 $V_F$ の値は抵抗 $R_F$ ( $R_{F4}$ ま



たは $R_{F5}$ )を設ける場合、入力電圧を $V_{IN}$ 、FETQ( $Q_4$ または $Q_5$ )のゲートしきい値電圧を $V_T$ 、ゲート抵抗を $R_G$ とすると、 $V_F = R_F \times (V_{IN} - V_T) / R_G$ で計算される値となる。また、定電圧ダイオード $ZD_F$ ( $ZD_{F6}$ または $ZD_{F7}$ )を設ける場合、オフセット電圧 $V_F$ の値は定電圧ダイオード $ZD_F$ のツェナー電圧値となる。この $V_F$ の値は緩勾配波形印加時におけるPDPの放電開始電圧よりもわずかに小さい値に設定する。図5(a)、(b)に点線で示す波形は図1、図2、図3に示した緩勾配波形発生回路 $U_{2a}$ 、 $U_{2b}$ 、 $U_3$ により発生する緩勾配波形であり、印加期間 $t_1$ を要する。一方、 $V_F$ なるオフセット電圧を設けた場合は、緩勾配波形の電圧変化量が $V_F$ だけ少なくなるため印加時間が $t_2$ となり、緩勾配波形発生回路 $U_{2a}$ 、 $U_{2b}$ 、 $U_3$ の場合よりも印加時間を小さく抑えることができ、実施の形態1の場合以上に駆動回路のタイミングの設計自由度を大きくすることができる。

【0054】(実施の形態4)次に図6(a)、(b)は、本発明によるPDPの駆動回路の実施の形態4における走査電極駆動回路の緩勾配波形発生回路部分のみを示す回路図であり、その他の構成は実施の形態1または2と同じである。図6(a)の緩勾配波形発生回路 $U_8$ が緩勾配波形発生回路 $U_{2a}$ と回路構成上異なる点は、コンデンサ $C_{F8}$ に、電流制限素子である抵抗 $R_{S8}$ と整流素子であるダイオード $D_{S8}$ とを並列接続したものを直列接続するとともに、電流制限素子 $R_{G8}$ に整流素子 $D_{G8}$ を並列接続していることである。図6(b)の緩勾配波形発生回路 $U_9$ が緩勾配波形発生回路 $U_3$ と回路構成上異なる点は、コンデンサ $C_{F9}$ に、電流制限素子である抵抗 $R_{S9}$ と整流素子であるダイオード $D_{S9}$ とを並列接続したものを直列接続するとともに、電流制限素子 $R_{G9}$ に整流素子 $D_{G9}$ を並列接続していることである。

【0055】緩勾配波形発生回路 $U_8$ 、 $U_9$ では、緩勾配波形発生時のコンデンサ $C_{F8}$ 、 $C_{F9}$ の放電電流はダイオード $D_{S8}$ 、 $D_{S9}$ を通じて流れ、緩勾配波形発生後の急激な電圧復帰の時にコンデンサ $C_{F8}$ 、 $C_{F9}$ の充電電流のピーク値が抵抗 $R_{S8}$ 、 $R_{S9}$ で抑えられるとともに、プルアップFET $Q_8$ 、 $Q_9$ のゲート電圧が引き上がるのをダイオード $D_{G8}$ 、 $D_{G9}$ で抑えることができる。したがって、緩勾配波形発生後の急激な電圧復帰の時にプルアップFET $Q_8$ 、 $Q_9$ のゲート電圧の引き上がりがなくなり、プルアップFET $Q_8$ 、 $Q_9$ の加熱や破壊を防止することができる。

【0056】緩勾配波形発生回路 $U_8$ と同様の回路構成によって、維持電極駆動回路の緩勾配波形発生回路とすることができる。また、緩勾配波形発生回路 $U_9$ はN型のFET $Q_9$ をP型にすることによって、維持電極駆動回路の緩勾配波形発生回路に使用することができる。この場合も前述と同様の効果を得ることができる。

【0057】(実施の形態5)次に図7(a)は、本発

明の気体放電型表示装置の駆動回路の実施の形態5における維持電極駆動回路の緩勾配波形発生回路部分のみを示す回路図であり、その他の構成は、実施の形態1と同じである。図7(a)の緩勾配波形発生回路 $U_{10}$ が図2の緩勾配波形発生回路 $U_{2b}$ と回路構成上異なる点は、プルダウンFET $Q_{10}$ のドレインとコンデンサ $C_{F10}$ との接続点と維持パルス発生回路 $W_1$ の出力との間にダイオード(整流素子) $D_{A10}$ を設けていることである。

【0058】図7(a)のような構成にすることにより、緩勾配波形発生回路 $U_{10}$ が緩勾配波形を出力するときにコンデンサ $C_{F10}$ が放電し、その後の緩勾配波形終了時の電圧復帰の時にコンデンサ $C_{F10}$ は充電されるものの、ワイヤードオア接続されたプッシュプル回路からなる維持パルス発生回路 $W_1$ がその後、プッシュプル動作しても整流素子 $D_{A10}$ があるため、コンデンサ $C_{F10}$ の放電電流は阻止されて、コンデンサ $C_{F10}$ での充放電が行われなくなり、駆動回路の消費電力を減らすことができる。

【0059】なお、立ち上がりが緩勾配である緩勾配波形発生回路にプッシュプル回路 $W_2$ がワイヤードオア接続される場合は図7(b)、図7(c)のようになる。図7(b)の緩勾配波形発生回路 $U_{11}$ が図1の緩勾配波形発生回路 $U_{2a}$ と回路構成上異なる点は、プルアップFET $Q_{11}$ のソースにダイオード $D_{A11}$ を設けていることである。図7(c)の緩勾配波形発生回路 $U_{12}$ が図3の緩勾配波形発生回路 $U_3$ と回路構成上異なる点は、プルアップFET $Q_{12}$ のソースにダイオード $D_{A12}$ を設けていることである。

【0060】(実施の形態6)次に図8(a)、(b)は、本発明の気体放電型表示装置の駆動回路の実施の形態6における走査電極駆動回路の緩勾配波形発生回路部分のみを示す回路図であり、その他の構成は実施の形態1または2と同じである。図8(a)の緩勾配波形発生回路 $U_{13}$ が緩勾配波形発生回路 $U_{2a}$ と回路構成上異なる点、および図8(b)の緩勾配波形発生回路 $U_{14}$ が緩勾配波形発生回路 $U_3$ と回路構成上異なる点は、抵抗(電流制限素子) $R_{G13}$ 、 $R_{G14}$ の一端に他の抵抗(電流制限素子) $R_{I13}$ 、 $R_{I14}$ の一端と定電圧素子 $ZD_{G13}$ 、 $ZD_{G14}$ の一端とを接続するとともに、定電圧素子 $ZD_{G13}$ 、 $ZD_{G14}$ の他端をFET $Q_{13}$ 、 $Q_{14}$ の共通端子に接続したことである。

【0061】図8のような構成により、入力電圧 $V_{IN}$ の変動は定電圧素子 $ZD_{G13}$ 、 $ZD_{G14}$ で安定化されるため、入力電圧 $V_{IN}$ が変動しても緩勾配波形の勾配はほとんど変化しなくなる。なお、抵抗 $R_{I13}$ 、 $R_{I14}$ は定電圧素子 $ZD_{G13}$ 、 $ZD_{G14}$ を過電流から保護するためのものである。

【0062】緩勾配波形発生回路 $U_{13}$ と同様の回路構成によって、維持電極駆動回路の緩勾配波形発生回路とすることができる。また、緩勾配波形発生回路 $U_{14}$ はN型

のFET $Q_{14}$ をP型にした回路構成によって、維持電極駆動回路の緩勾配波形発生回路とすることができる。この場合も前述と同様の効果を得ることができる。

【0063】なお、上記6つの実施の形態では、初期化パルス発生回路および消去パルス発生回路に本発明の緩勾配波形発生回路を用いた例を説明しているが、これ以外の気体放電型表示装置の駆動回路の駆動パルス発生回路においても、上記6つの実施の形態で説明した緩勾配波形発生回路を用いることができる。

【0064】また、上記6つの実施の形態では、3電極面放電型の気体放電型表示装置の駆動回路を例にして説明しているが、2電極対向放電型やその他の気体放電型表示装置の駆動回路においても上記6つの実施の形態で説明した緩勾配波形発生回路を用いることができる。

【0065】

【発明の効果】以上のように本発明によれば、気体放電型表示装置の電極にミラー積分回路からなる緩勾配波形発生回路の出力電圧波形を印加するように構成しているので、放電電流の変化や電極浮遊容量のばらつきなど負荷の変動があっても駆動回路から出力される緩勾配波形の勾配の変化が少なくなり、その結果気体放電型表示装置の放電動作範囲を広くすることができる。また、駆動回路から出力される緩勾配波形の先端を短時間で完全に飽和電圧まで到達させ、印加時間を抑えることができるので、駆動回路のタイミングの設計自由度を大きくすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の走査電極駆動回路を示すブロック図

【図2】本発明の実施の形態1の維持電極駆動回路を示すブロック図

【図3】本発明の実施の形態2の緩勾配波形発生回路を示すブロック図

【図4】本発明の実施の形態3の緩勾配波形発生回路を示すブロック図

【図5】図4の緩勾配波形発生回路の出力波形図

【図6】本発明の実施の形態4の緩勾配波形発生回路を示すブロック図

【図7】本発明の実施の形態5の緩勾配波形発生回路を示すブロック図

【図8】本発明の実施の形態6の緩勾配波形発生回路を示すブロック図

【図9】気体放電型表示装置の部分破断斜視図

【図10】本発明の気体放電型表示装置の駆動回路全体の構成図

【図11】本発明による気体放電型表示装置の駆動タイミング図

【図12】従来例における気体放電型表示装置の駆動回路全体の構成図

【図13】従来例における気体放電型表示装置の駆動タイミング図

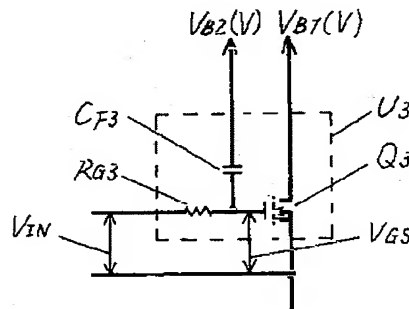
【図14】従来例における気体放電型表示装置の走査電極駆動回路を示すブロック図

【図15】従来例における気体放電型表示装置の維持電極駆動回路を示すブロック図

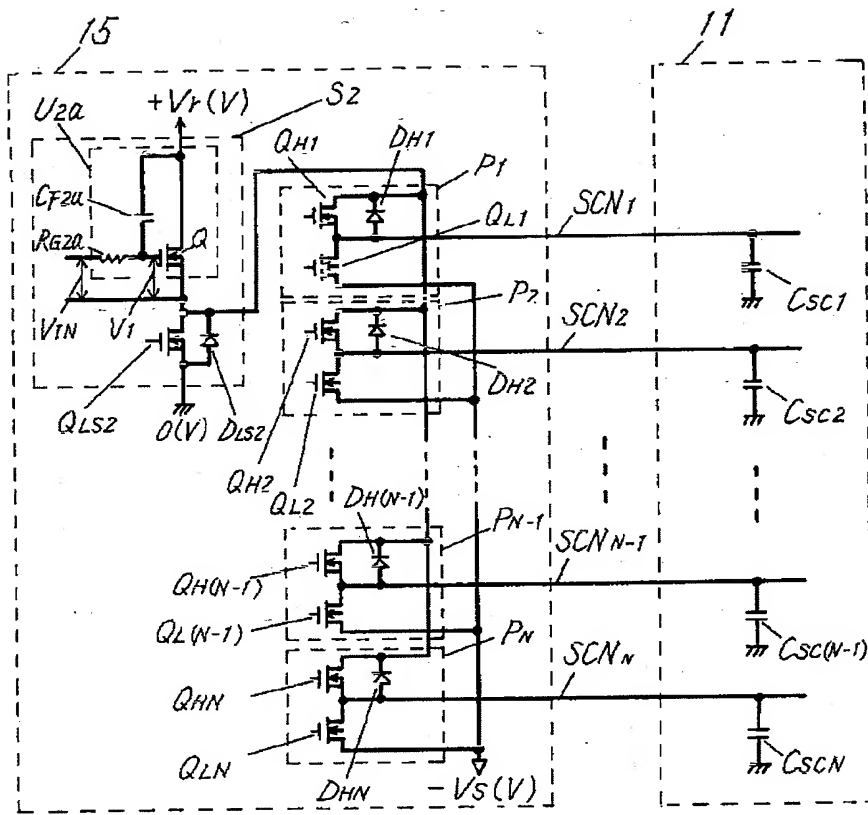
【符号の説明】

- 1 第1のガラス基板
- 2 走査電極
- 3 維持電極
- 4 第1の誘電体層
- 5 保護膜層
- 6 隔壁
- 7 第2のガラス基板
- 8 データ電極
- 9 第2の誘電体層
- 10 蛍光体
- 11 気体放電型表示装置
- 13、15 走査電極駆動回路
- 14、16 維持電極駆動回路

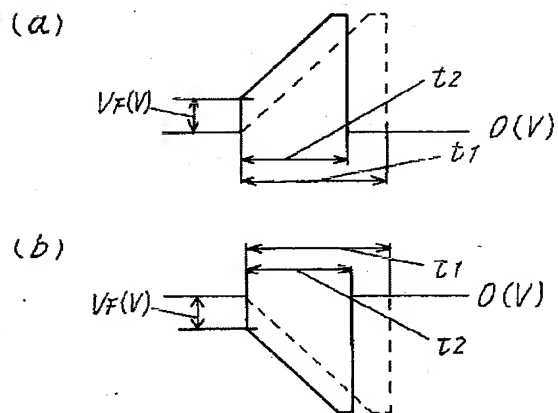
【図3】



【図1】



【図5】



【図9】

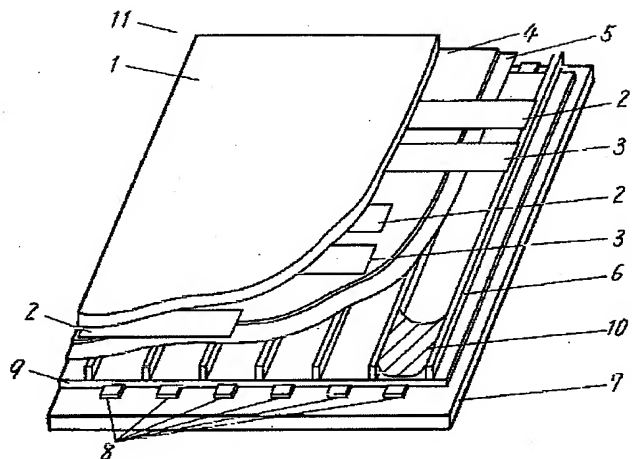
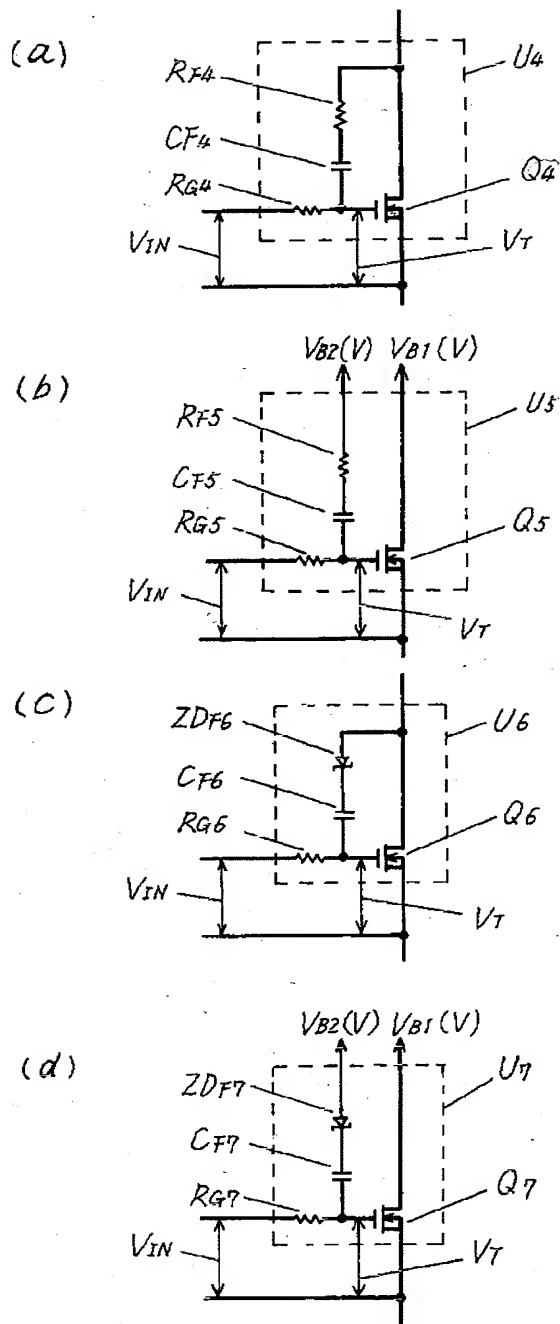


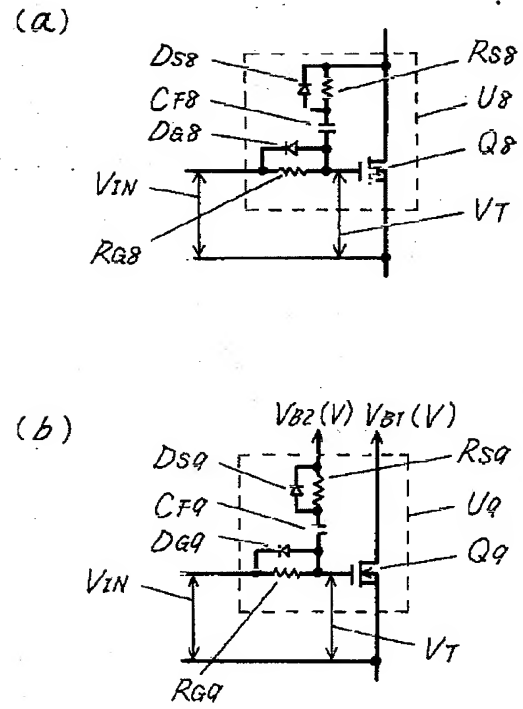
Figure 1 is a schematic diagram of a multi-stage differential amplifier. The input stage (11) consists of a stack of differential pairs (SUS1, SUS2, ..., SUSN-1, SUSN) with tail capacitors (CSU1, CSU2, ..., CSUN-1, CSUN). The output of the input stage is connected to a load network (16) which includes a differential pair (Qd) with a tail capacitor (CF2b) and a load resistor (RQ2b). The load network is biased by a current source (QHW1) and a load capacitor (W1). The output voltage is labeled VOUT.

[illegible]

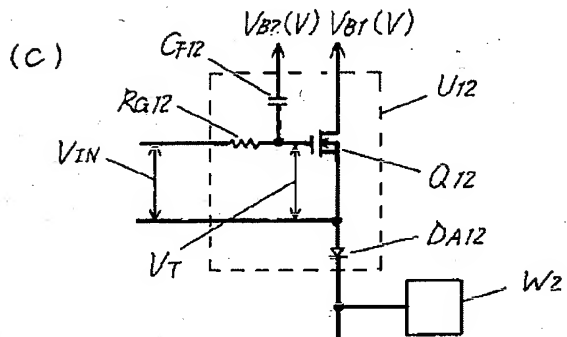
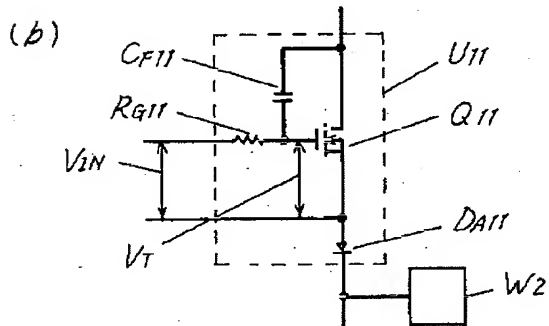
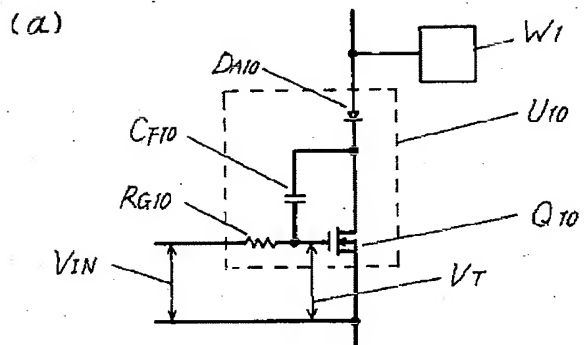
【図4】



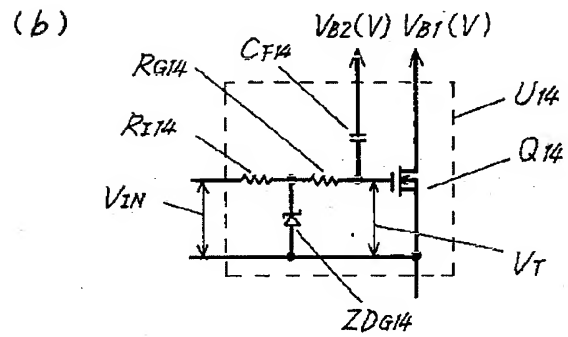
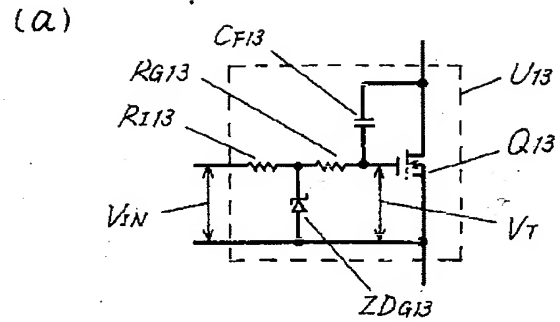
【図6】



【図7】

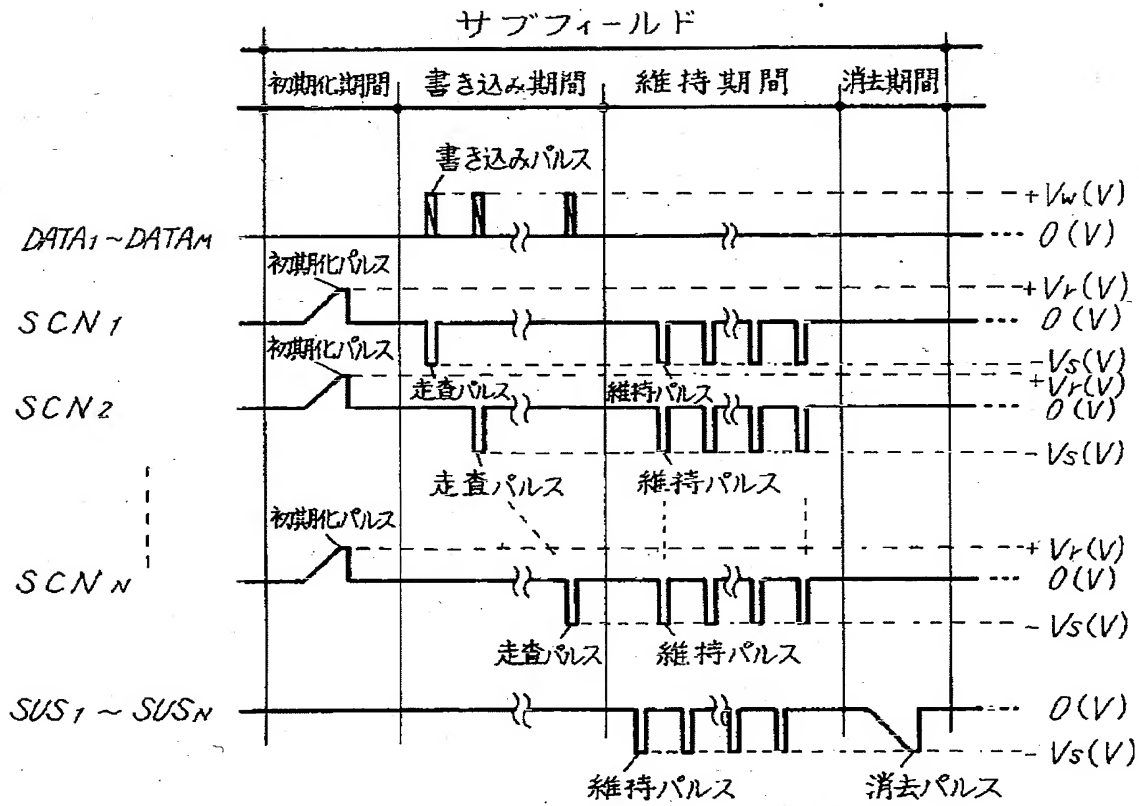


【図8】

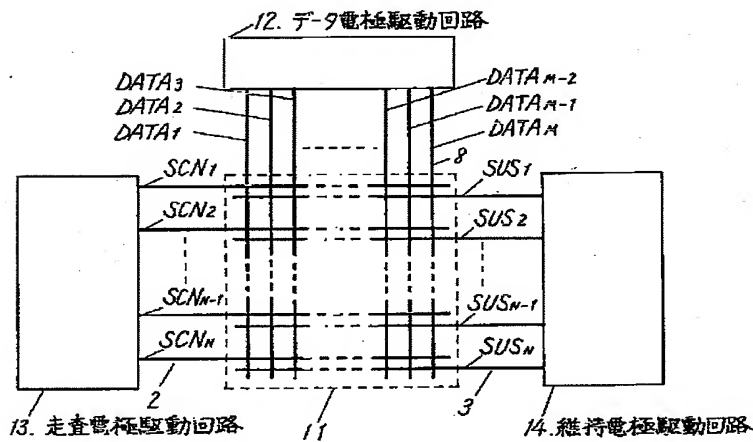




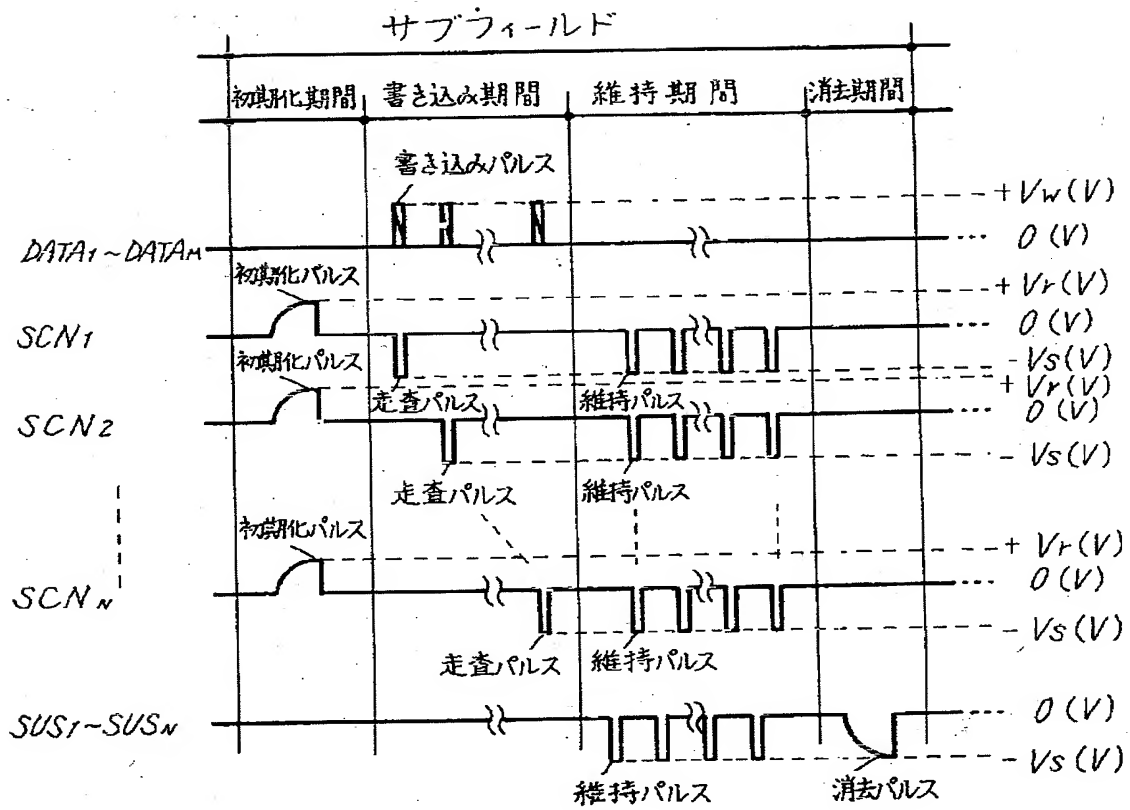
【図11】



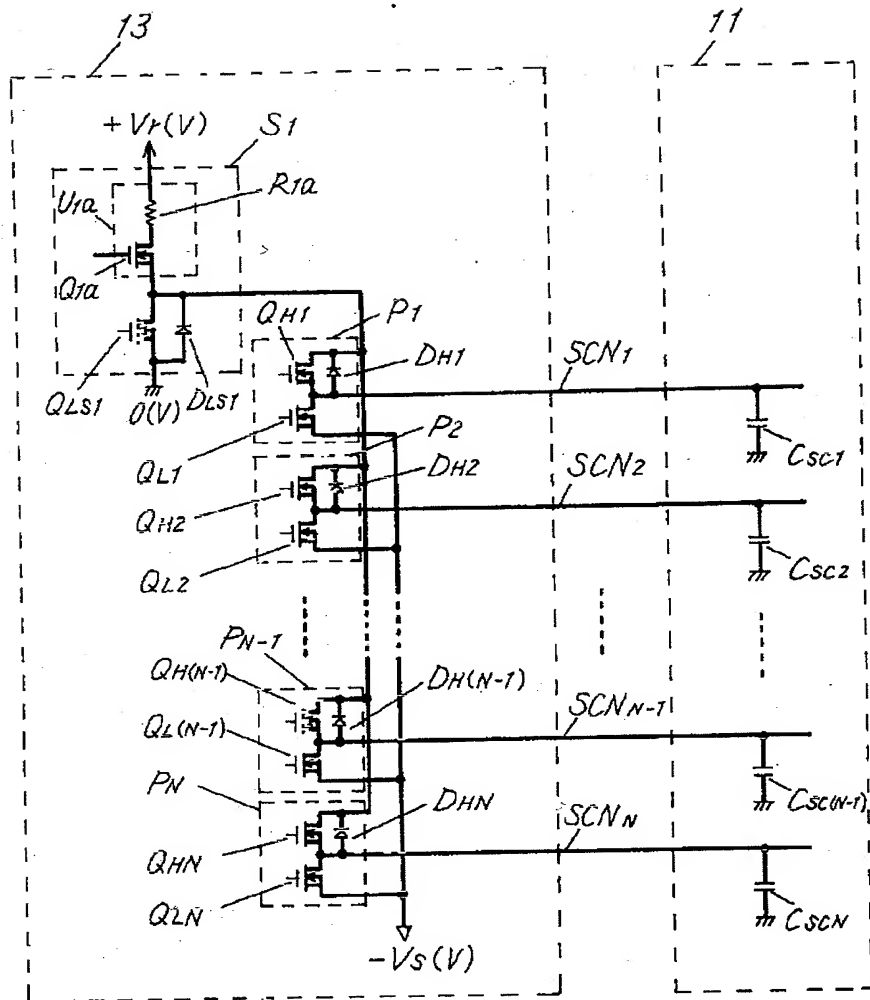
【図12】



【図13】



【図14】



【図15】

